

Глава 2

Лекция 2. Как сделать низкоразмерную систему

План

- Si-МДП структура
- Структура и принцип работы Si-МДП транзистора
 - ◇ Геометрия Si-МДП транзистора и его вольт-амперная характеристика
 - ◇ Работа Si-МДП транзистора
 - ◇ Линейная модель
 - ◇ Квадратичная модель МДП транзистора
 - ◇ Технология изготовления Si МДП транзисторов
 - ◇ Одномерные и нуль-мерные структуры на основе Si-МДП

2.1 Si-МДП структура

Si-МДП структура как основа Si-MOS транзистора (S-MOSFET) является основным кирпичиком микроэлектроники; эта структура, для определенности n -типа (nMOSFET) состоит из т.н. стока и истока, двух сильно легированных областей n -типа в полупроводнике, которые изолированы от кремниевой подложки p -типа обратными смещенными (т.е. запертыми) p - n диодами. Хорошо проводящая пленка (обычно Al или поликристаллический кремний), называемая затвором, накрывает пространство между истоком и стоком. Затвор изолирован от полупроводника слоем затворного окисла, по имени которого и названа структура MOS. Иное название транзистора - “полевой транзистор с изолированным затвором”. Схематический разрез MOSFETа n -типа и соответствующее обозначение полевого транзистора как схемного элемента показаны на рисунке 2.1.

Как видно из рисунка области истока и стока идентичны. Они различаются только при приложении между ними разности потенциалов определенного знака. Исток инжектирует электроны, а сток их поглощает. Иногда на обратной стороне кристалла Si изготавливается еще один контакт как показано на рисунке 2.2, хотя МДП структура работоспособна и без него.

Концепция подобной структуры очень проста. Любопытно, что она была предложена и даже запатентована еще в 1930г., независимо Лилиенфельдом и Хэйлом. Однако работающий прибор был создан Шокли только в 1960г. и ввиду своей технологической простоты и огромной полезности распространился в сотнях миллионов экземпляров. Нельзя сказать что все структура легко делается. Имеются значительные

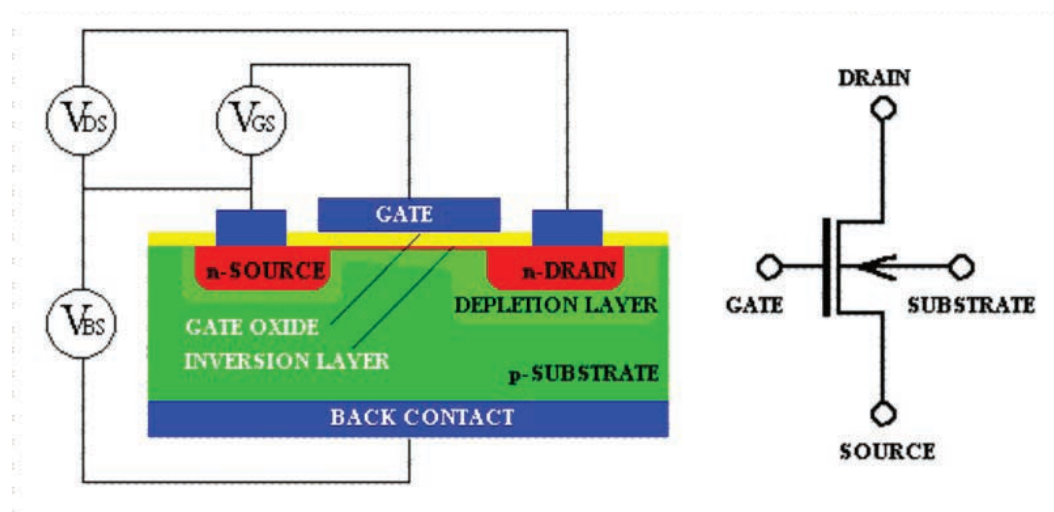


Рис. 2.1: Поперечный разрез и схемное обозначение кремниевого МДП транзистора n -типа (Si-MOSFET)

технологические трудности, которые не удалось преодолеть на германии, и с большим трудом преодолевают на GaAs, но их удалось успешно преодолеть с кремнием. Эти проблемы связаны с уменьшением концентрации поверхностных состояний на инерфейсе полупроводник-окисел. В этом отношении пара Si-SiO₂ является уникальной, так как обеспечивает сравнительно низкую плотность интерфейсных состояний и малый захваченный заряд, а также сравнительно резкий переход в пределах нескольких атомных слоев.

Если на затвор подается отрицательное напряжение, то существующий канал n -типа обедняется носителями заряда. В таких устройствах проводящий канал между стоком и истоком остается открытым даже при нулевом напряжении на затворе и они, поэтому называются транзисторами “со встроенным каналом” или транзисторами в “режиме обеднения”.

В результате совершенствования технологии создания все более хорошего интерфейса, удалось создать транзисторы, в которых при отсутствии затворного напряжения канал заперт и открывается лишь при подаче положительного напряжения. Такие транзисторы называются устройствами в режиме "обогащения" или транзисторами с "индуцированным каналом". На интерфейсе окисел-полупроводник электроны концентрируются в тонком ($\sim 10\text{нм}$) т.н. инверсионном слое, поскольку возникшая при приложении затворного напряжения проводимость обеспечивается носителями противоположного знака, по сравнению с основными носителями в объеме. Этот тип транзисторов доминирует в практических устройствах и научных исследованиях, и только его мы и будем рассматривать. Поскольку двуокись кремния является хорошим изолятором, то при использовании МДП-транзистора в качестве схемного элемента, обеспечивается огромное входное сопротивление и малые входные токи.

2.2 Структура и принцип работы Si-МДП транзистора

Q: Какое отношение электроны в 2D слое имеют к электронам в объеме кремния ?

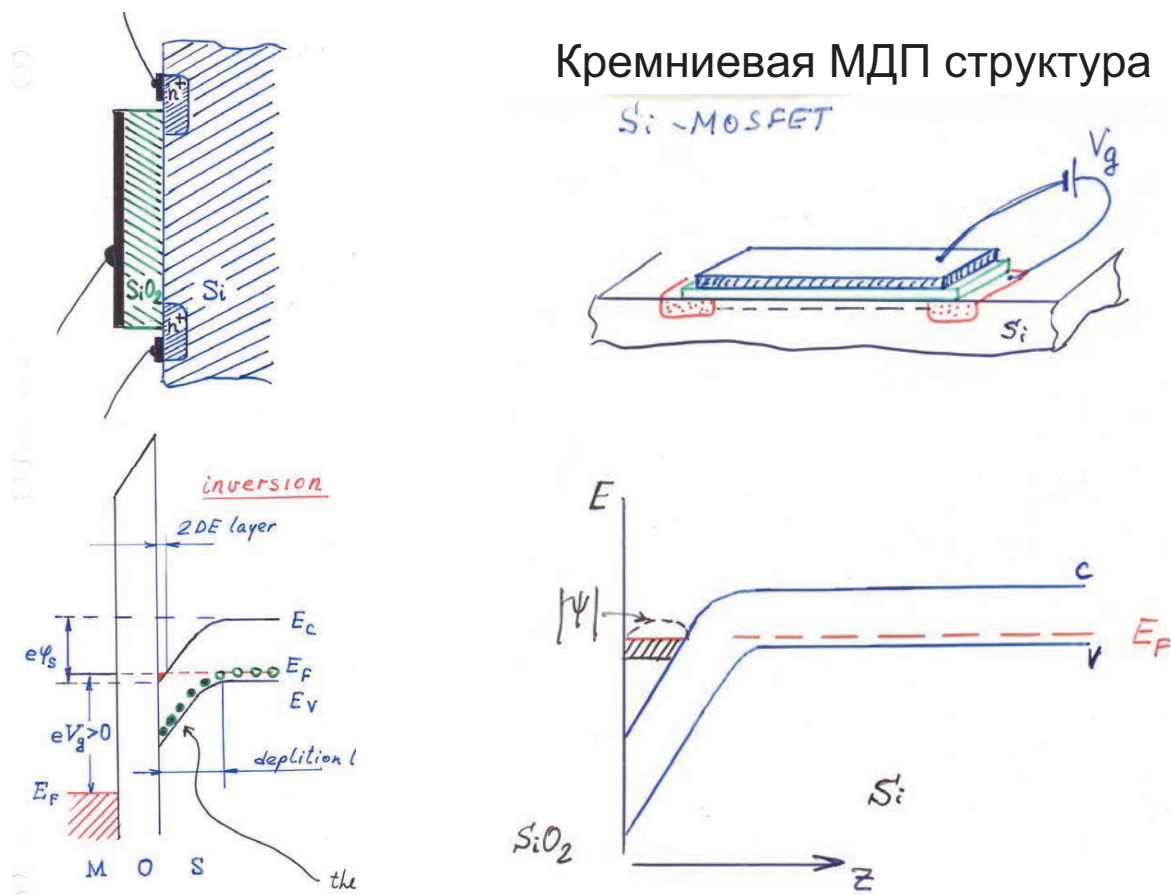


Рис. 2.2: Схематическое устройство и структура уровней в МДП структуре

Рассмотрим работу устройства в терминах физики полупроводников. Чтобы не возникало неопределенности с положением уровня Ферми, для изготовления МДП структуры используют слабо легированный кремний. На рисунке 2.2. показана энергетическая диаграмма уровней в зависимости от расстояния по нормали к поверхности. В глубине кристалла электрическое поле экранировано носителями и равно нулю. Уровень Ферми для кремния p -типа, по определению, нахо-

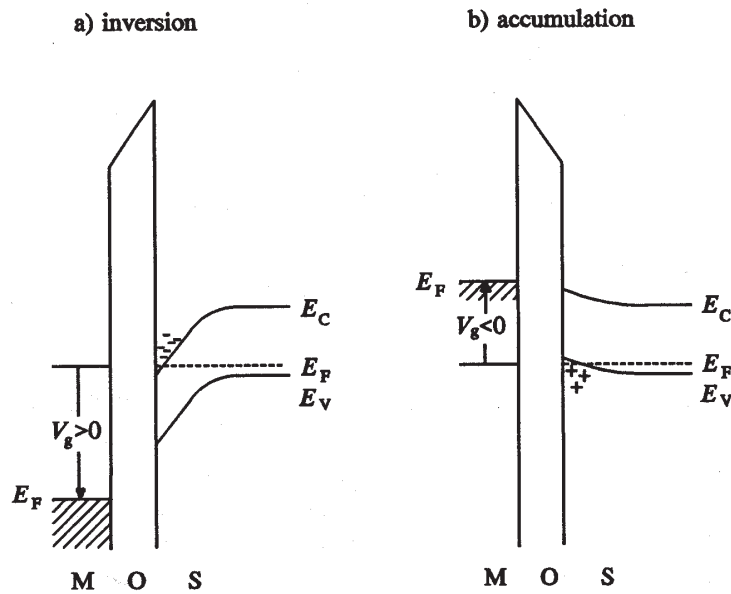


Рис. 2.3: Уровни энергии в МДП структуре в режимах инверсии и обогащения

дится вблизи потолка валентной зоны. Промежуток от истока до стока представляет собой два встречно включенных $p - n$ перехода и через его проводимость ничтожно мала.

Диаграмма уровней энергии в режимах инверсии и обогащения показана более подробно на рисунке 2.3.

При приложении положительного напряжения к затвору, электроны притягиваются к интерфейсу. При комнатных температурах, когда проводимость объема кремния хотя и мала, но все же конечна, электроны могут придти к поверхности из объема или из контактов, а при низких температурах, когда проводимость объема падает до нуля, электроны поступают только через омические контакты. Притяжение электронов к поверхности описывается изгибом зон вблизи поверхности, на глубине определяемой радиусом экранирования. При доста-

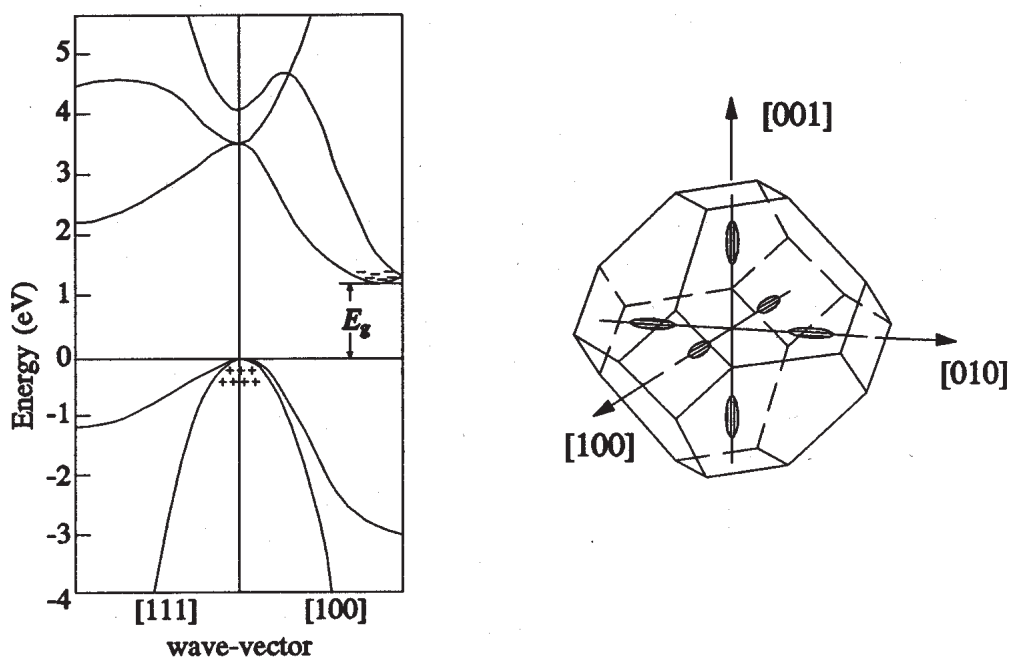


Рис. 2.4: Зона Бриллюэна кремния и зонная диаграмма уровней энергии в 3D кремнии

точной величине изгиба зон, дно зоны проводимости опускается ниже уровня Ферми в объеме. Приблизительно с этого момента начинается заполнение электронами образовавшейся потенциальной ямы. Граница Si-SiO₂ представляет для электронов практически бесконечный атомно-резкий потенциальный барьер высотой около 4эВ, а другая сторона потенциальной ямы - пологая, поскольку является самосогласованным потенциалом экранирования, и имеет протяженность порядка мкм.

Область потенциальной ямы отделена от объема кремния слоем, в котором, как видно из Рисунка 2.2 основные носители покинули свои уровни и поэтому называется обедненным

слоем (depletion layer). Глубину образовавшейся потенциальной ямы можно изменять электрически, изменяя положительное напряжение на затворе. Соответственно, изменяется и концентрация электронов заполнивших потенциальную яму. Таким образом, проводимость промежутка исток-сток изменяется электрическим полем, безо всякого входного тока.

Q: Какова энергетическая структура всех уровней энергии размерного квантования в самосогласованной треугольной потенциальной яме ?

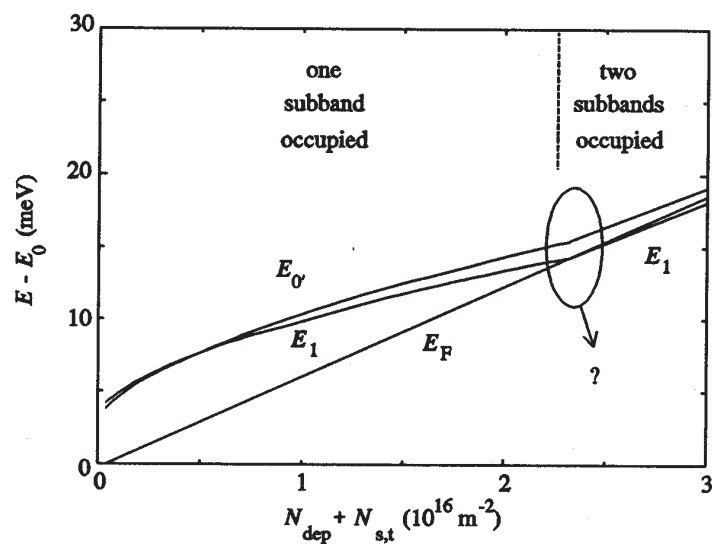


Рис. 2.5: Уровни энергии размерного квантования в Si-MOSFET

2.2.1 Геометрия Si-МДП транзистора и его вольт-амперная характеристика

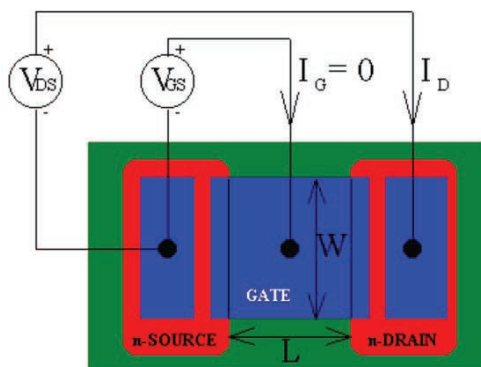


Рис. 2.6: Вид сверху МДП-транзистора (Si-MOSFET)

Вид сверху МДП-транзистора приведен на рисунке 2.3. Длина L и ширина W канала обозначены на рисунке. Заметим, что длина канала не равна длине затвора, а несколько меньше ее, поскольку слегка перекрывает области контактов. Перекрытие между областями затвора и контактов (в российской технической литературе называется “подныр” и далее будет понятно, почему) необходимо, для того, чтобы избежать краевых эффектов спада электрического поля, т.е. чтобы инверсионный слой образовал непрерывный проводящий путь между истоком и стоком. Обычно перекрытие стараются делать малым, для того, чтобы избежать паразитных емкостей.

2.2.2 Работа Si-МДП транзистора

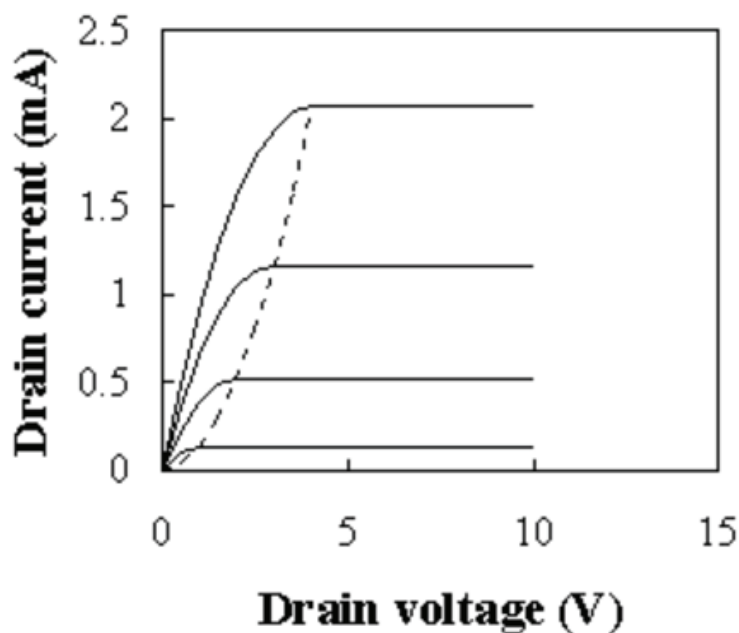


Рис. 2.7: I-V характеристика n -канальной Si-МДП структуры. $V_G = 5$ В (верхняя кривая), 4 В, 3 В и 2 В (нижняя кривая)

Для любителей микроэлектронной техники: комплементарной структурой рассмотренному n -канальному транзистору является p -канальный транзистор, изготавливаемый на подложке n -типа. Для создания CMOS схем используются оба типа транзисторов.

Работа Si-МДП транзистора: Линейная модель

Линейная модель полевого МДП транзистора описывает поведение MOSFET как линейного устройства, при малом напряжении, приложенном между истоком и стоком. В линейном

приближении MOSFET можно моделировать как резистор, сопротивление которого модулируется напряжением исток-затвор. В частности, в линейном режиме MOSFET можно использовать как ключ для модуляции аналоговых или цифровых сигналов или как аналоговый умножитель сигналов.

Ток стока равен полному заряду инверсионного слоя деленному на время, которое требуется носителям для прохождения от истока до стока:

$$I_D = Q_{inv} \frac{WL}{t_{tr}}, \quad (2.1)$$

где $Q_{inv} = ne$ -плотность заряда инверсионного слоя, W, L - ширина и длина канала, соответственно. Если скорость движения носителей v постоянна по длине канала

$$v = \mu E = \mu \frac{V_{DS}}{L}, \quad (2.2)$$

то $t_{tr} = L/v$ - время переноса носителей на длину канала. Здесь μ - подвижность, E - электрическое поле V_{DS} - напряжение между стоком и истоком.

Постоянная скорость предполагает постоянное электрическое поле $E \neq E(x)$, поэтому для I_D получаем

$$I_D = -\mu Q_{inv} \frac{W}{L} V_{DS} \quad (2.3)$$

Заряд инверсионного слоя

$$Q_{inv} = -c_{ox} (V_g - V_T), \quad \text{для } V_g > V_T, \quad (2.4)$$

где c_{ox} -емкость (на единицу площади) между затвором и инверсионным слоем и V_T - т.н. пороговое напряжение, которое будет обсуждено далее. Предположим также, что заряд

$Q_{inv} = 0$ если $V_g < V_T$. Подставив все это в выражение для тока получим:

$$I_D = \mu c_{ox} \frac{W}{L} (V_g - V_T) V_{DS}, \quad \text{для } |V_{DS}| \ll (V_g - V_T) \quad (2.5)$$

Сделаем разумное предположение о том, что плотность носителей заряда постоянна по длине канала. Если бы это было не так на масштабе большем толщины окисла, то неоднородное распределение заряда приводило бы к огромной электростатической энергии, что невыгодно. При $V_g < V_T$ ток $I_D = 0$. Пример вольт-амперных характеристик, полученных в линейной модели дан на рисунке 2.5.

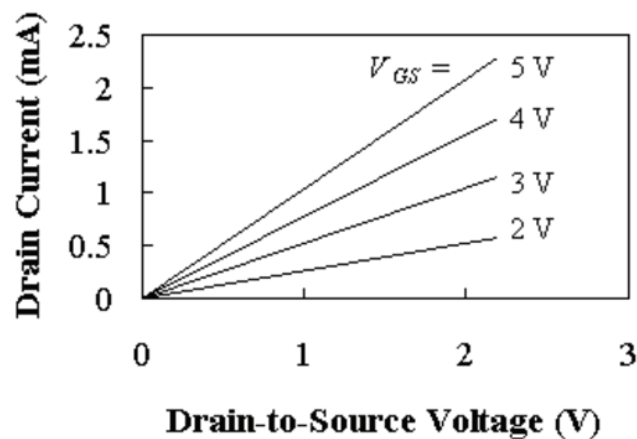


Рис. 2.8: $I - V$ характеристики MOSFET в линейной модели с $V_T = 1$ В. ($\mu = 300 \text{ см}^2/\text{Вс}$, $W/L = 5$ и $t_{ox} = 20 \text{ нм}$).

Ток увеличивается с затворным напряжением пропорционально $V_g - V_T$. Наклон кривых дает проводимость транзистора, которая увеличивается линейно с $V_g - V_T$. Таким образом в линейном режиме транзистор работает как электрически управляемый резистор.

Квадратичная модель МДП транзистора

В квадратичной модели мы учтем что заряд инверсионного слоя может изменяться на длине канала между стоком и истоком. Ток в канале непрерывен по x и определяется локальным напряжением на затворе.

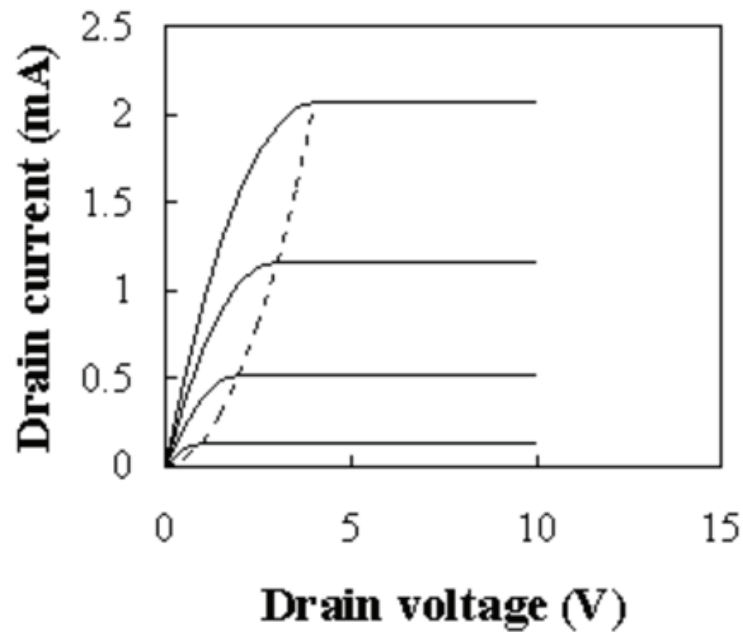


Рис. 2.9: I-V характеристика n -канальной Si-МДП структуры. $V_G = 5$ В (верхняя кривая), 4 В, 3 В и 2 В (нижняя кривая)

Выберем ось x вдоль канала и совместим начало координат ($x = 0$) с началом канала, так что x изменяется от 0 до L . Рассмотрим локальный участок канала в точке x между стоком и истоком длиной dx , на котором падает напряжение dV_x . По аналогии с уравнением 2.5

$$I_D = \mu c_{ox} \frac{W}{dx} (V_g - V_T - V_S - V_x) dV_x, \quad (2.6)$$

где V_S - падение напряжения на контакте стока, V_x - падение напряжения вдоль канала на участке от 0 до x . Проинтегрируем по длине канала от 0 до L :

$$\int_0^L I_D dx = \mu c_{ox} W \int_0^{V_{DS}} (V_g - V_T - V_S - V_x) dV_x, \quad (2.7)$$

Поскольку ток постоянен по длине канала, то получаем

$$I_D = \mu c_{ox} \frac{W}{L} \left[(V_g - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{для} \quad V_{DS} l (V_g - V_T) \quad (2.8)$$

При увеличении V_{DS} вначале ток увеличивается линейно, затем достигает максимума. Согласно этому квадратичному приближению, ток далее должен был бы спадать. Однако, это лишь следствие упрощенной модели. В действительности, на стороне стока, где эффективное локальное напряжение минимально, при достижении $V_{DS} = V_g - V_T$ происходит изменение обедненного слоя, в результате чего ток стока не снижается, а просто насыщается. Таким образом, в режиме насыщения ток стока

$$I_D = \mu c_{ox} \frac{W}{L} \frac{[V_g - V_T]^2}{2} \quad \text{для} \quad V_{DS} > (V_g - V_T) \quad (2.9)$$

2.2.3 Технология изготовления Si-МДП транзисторов

Процесс изготовления MOSFET, хотя и был впервые разработан в конце 60х, однако претерпел существенное усовершенствование с тех пор. В 1970х, доминировали p-MOS устройства с Al-затвором.

С точки зрения применения транзисторов как элементов схемотехники главной проблемой в то время являлся контроль порогового напряжения. Положительно заряженные ионы в оксиде снижают пороговое напряжение устройств. Si-полевые транзисторы р-типа поэтому были предпочтительны для массового производства, несмотря на более низкую подвижность дырочных носителей, поскольку они работают в режиме обогащения даже при ненулевом заряде в канале. Такие устройства работоспособны при несколько увеличенной мощности источников напряжения несмотря на наличие остаточных зарядов в слое оксида.

Термическое окисление кремния в атмосфере кислорода с контролируемым содержанием паров воды обеспечило высокое качество затворного диэлектрика с легко контролируемой толщиной. Те же самые процессы использовались для создания высокотемпературных масок для процессов диффузии и пассивации изолирующего слоя. Слой оксида легко удаляется в плавиковой кислоте (HF), без удаления нижележащего кремния, поскольку скорости их травления отличаются на 4 порядка; в технологической литературе это “называется селективное травление”.

Слой Al напыляется по всей пластине и затем травливается; в интегральных схемах таким путем получают как затворные области, так и соединительные провода между транзисторами. В используемый Al добавляется небольшое количество (2%) Cu, для того чтобы сделать Al более устойчивым к электромиграции, т.е. к диффузии атомов вследствие соударения с электронами несущими ток по проводам имеющими избыточную энергию. Последний эффект может привести к открыванию схем и т.о. снижает надежность их работы. Он

обычно происходит в локальных точках, где плотность тока высока, в тонких проводах на углах или даже при пересечении проводами ступенек рельефа окисла. Добавление небольшого количества меди обеспечивает более жесткую структуру и избавляет от этого эффекта.

Отжиг металла в атмосфере смеси азота и водорода (N_2/H_2) использовался для улучшения качества контакта металл-полупроводник и для снижения плотности поверхностных состояний на интерфейсе полупроводник/затворный окисел.

С тех пор процесс изготовления Si-MДП структур был усовершенствован как иллюстрируется Таблицей 7.2. Большинство изменений были внесены для того чтобы обеспечить лучшие параметры, повысить надежность и более высокий процент выхода годных структур. Наиболее важным изменением является уменьшение длины затвора. Это снижение приводит к укорочению времени переходного процесса и следовательно повышает быстродействие. Кроме того, снижение длины затвора приводит к уменьшению минимального характерного размера и следовательно к уменьшению размера транзисторов и увеличению их числа на пластине. По мере усовершенствования технологии, оказалось также возможным увеличить размер чипов, таким образом число транзисторов на чипе увеличилось еще быстрее. С увеличением процента выхода годных транзисторов оказалось возможным увеличить размер пластины. Большого размера пластины снижают относительное количество дефектных элементов на периферии пластины и снижают стоимость чипа.

CMOS схемы Дальнейшим ключевым усовершенствованием технологии было использование CMOS схем, содержащих как n-MOS так и p-MOS транзисторы. Еще ранее p-MOS тран-

зисторы были заменены на n-MOS транзисторы вследствие более высокой подвижности электронов. Работа в режиме обогащения была заменена на работу в режиме обеднения что обеспечило большее быстродействие и более высокую рабочую частоту. Те же усовершенствования удучшили качество аналоговых микросхем. Преимущества CMOS схем состоят в более низкой диссипируемой мощности и более высокой рабочей частоте. Теперь этот тип микросхем доминирует в технологии интегральных микросхем, позволяя снизить диссипацию на 30%-50%, соответственно позволяя увеличить скорость и снизить размеры.

Процесс самосовмещения с поли-Si затвора Процесс с самосовмещающимся поли-Si завором был придуман давно, еще до CMOS технологии. Самосовмещающаяся структура получается путем использования затвора как маски для имплантации областей истока и стока. Поскольку повреждения кристалла причиняемые высокоэнергичными ионами должны быть отожджены при высокой температуре ($\sim 800\text{C}$), Al-затвор не может быть использован. Легированный поликремний оказался очень удобным материалом поскольку он выдерживает отжиг при более высокой температуре и может быть окислен подобно кремнию. Процесс самосовмещения снижает паразитные емкости между затвором и стоком и поэтому улучшает высокочастотные свойства транзистора и снижает время переключения. Кроме того, слой кремния нанесенный поверх структуры снижает сопротивление затвора и в то же время служит как затворная маска высокого качества. Процесс самосовмещения также приводит к уменьшению размера элементов и повышает их плотность на чипе. Дальнейшее усовершенствование связано с использованием подслоя Si_3N_4 изо-

лятора, который предотвращает окисление в районе канала MOSFET.

CVD Химическое осаждение из газовой фазы (CVD) изолирующих слоев используется теперь повсеместно в производстве вместо термического окисления поскольку оно не использует нижележащий кремний. При таком способе нанесения изолятора почти нет нижнего предела толщине получаемого изолятора и кроме того это дает возможность создания оксидного слоя осаждением разнообразных материалов (например, Si_3N_4).

Ионная имплантация, плазменное травление, реактивное ионное травление . Ионная имплантация заменила диффузию благодаря лучшей контролируемости процесса и большей однородности по площади. Сухое травление, включая плазменное травление PE, реактивное ионное травление (RIE) и травление ионным пучком вытеснили химическое травление.

Магнетронное напыление. Магнетронное напыление (sputtering) металлов почти полностью вытеснило термическое испарение. Магнетронное напыление обеспечивает лучшую адгезию и контроль толщины. Кроме того, этот процесс подходит для материалов с высокой температурой испарения, которые необходимы для получения пленок с высоким коэффициентом преломления или прозрачных для СВЧ (Ti, W, и т.п.).

Планаризация. Планаризация - это процесс при котором верхняя поверхность пластины поправляется до атомного совершенства на каждой стадии. Цель этого процесса - обеспечить плоскую поверхность, которая необходима для литографии с высоким разрешением.

Отжиг в дейтерии Отжиг в атмосфере дейтерия - это

одно из последних усовершенствований стандартного отжига в водороде, который пассивирует поверхностные состояния, замыкая оборванные связи. Дейтерий - более тяжелый изотоп водорода и химически действует тем же способом, что и водород, но ввиду того, что атомы дейтерия более тяжелые, они с меньшей вероятностью вышибаются из своих мест высокоэнергичными носителями в инверсионном слое. Поэтому, использование дейтерия снижает плотность поверхностных состояний, возникающих под воздействием горячих электронов.

Технология создания МДП структур с высокой подвижностью для научных исследований Перечисленные усовершенствования используются в массовом производстве, они направлены на совершенствование факторов важных для надежной работы транзистора как элемента массовой схемотехники (надежность, быстродействие, миниатюризация, малая диссипация и т.п.). Не все из этих усовершенствований технологии, однако, ведут к достижению высокой подвижности носителей при низких температурах. Например, термическое окисление, термическое напыление Al -т.е. старые процессы - плохо пригодные для массового производства дешевых транзисторов, оказываются более предпочтительными. Более того, использование магнетронного распыления в плазме приводит к деградации окисла и росту порогового напряжения МДП-структуры.

Отдельно отметим, что молекулярно-пучковая эпитаксия позволяет создавать гетеропереходы Si/SiGe с высокой подвижностью, в частности с затвором, однако их качество (квантовое время рассеяния) пока не превосходят качество Si-МДП

структур, изготовленных “традиционным” отработанным затратным способом термического окисления. Технологические стадии традиционного процесса изготовления Si-МДП структур высокой подвижности с n-каналом состоят в следующем.

Ключевые стадии этой технологии состоят в следующем:

- **Многократное повторение циклов “окисление кремния-травление окисла”**

сглаживает короткопериодные флуктуации и удаляет верхний слой кремния с дефектами от механической обработки. Негативным результатом этого процесса является развитие длиннопериодной шероховатости ($\sim 100\text{нм}$), но неровности такого масштаба не эффективно рассеивают электроны так как намного длиннее фермиевской длины волны.

- **Создание полевого окисла путем термического окисления кремния в атмосфере сухого кислорода**

с малым содержанием паров воды. Использование паров HCl вместо воды для ускорения процесса окисления (процесс, который применяется в массовом производстве) приводит к сильному ухудшению подвижности и росту порогового напряжения.

- **Отжиг в атмосфере водорода**

после каждой стадии (окисление, диффузия контактных областей, напыление Al и пр.)

- **Гетерирование обратной стороны кремниевой пластины,**

т.е. снизу, для смещения дефектов от интерфейса вглубь кремния.

- **Длительная и тщательная очистка ростовых кварцевых труб** перед каждым высокотемпературным процессом от щелочных металлов, диффундирующих сквозь стенки кварцевых труб.

Пример подробного технологического маршрута приведен ниже

A.1 Starting materials and initial conditions

The wafers have a resistivity of 80-100 Ωcm . The single crystals have been grown by Wacker with a technique called WASO, which combines the advantages of Czochralski with those of float-zone crystals: low stacking fault density and low oxygen concentration.

The deionized water has a resistivity of 16 to 18 $M\Omega\text{cm}$. Rinsing to remove spurs of chemical solutions is continued until the resistivity reaches 14 $M\Omega\text{cm}$. All chemicals are purchased from Merck, and are specified as MOS Selectipur. The NH_4OH solution is used to remove organic substances from the wafer, H_2SO_4 to remove metallic contamination. A buffered HF solution (BHF) is used to etch native oxide and SiO_2 . After each oxide etch, an HCl clean is used to remove fluor and sulfur containing contaminants and protect the surface with a thin oxide. The wafers are rinsed after each chemical solution.

NH_4OH -clean	:	$[\text{NH}_4\text{OH}]:[\text{H}_2\text{O}_2]:[\text{H}_2\text{O}] = 1:1:5$, $t = 10$ min, $T = 90^\circ\text{C}$
H_2SO_4 -clean	:	$[\text{H}_2\text{SO}_4]:[\text{H}_2\text{O}_2]:[\text{H}_2\text{O}] = 1:1:6$, $t = 10$ min, $T = 90^\circ\text{C}$
BHF-etch	:	$[\text{HF}/\text{NH}_4\text{F}]$ 1:7 solution, $T = 20^\circ\text{C}$, etch rate for thermal oxide 800 \AA SiO_2 per min
HCl-clean	:	$[\text{HCl}]:[\text{H}_2\text{O}_2]:[\text{H}_2\text{O}] = 1:1:5$, $t = 10$ min, $T = 90^\circ\text{C}$
Al-etch	:	$[\text{H}_3\text{PO}_4]:[\text{H}_2\text{O}]:[\text{HNO}_3] = 63:32:5$, $T = 20$ to 40°C

The inline clean consists of the NH_4OH -clean and the HCl-clean.

Рис. 2.10: Технологические стадии изготовления Si-MOS структур-1

2.3 Гетеропереходы GaAs/AlGaAs и Si/SiGe

2.3.1 Одномерные и нуль-мерные структуры

Photolithography:

Shibley 1450J positive resist

spinning	:	4000 rpm,	$t=50$ sec.
prebake	:	$T=90^{\circ}\text{C}$,	$t=25$ min. in a furnace
illumination	:	UV400,	$t=5$ sec.
developing	:	MF312,	$t=1$ min.
postbake	:	$T=120^{\circ}\text{C}$,	$t=25$ min. in a furnace
stripping	:	Remover MP1112A, $T=40^{\circ}\text{C}$,	$t=2$ min. + 2min. ultrasonic.

Tweezers are cleaned in acetone or alcohol and subsequently rinsed in water.

The stick to insert and remove the boat from the furnace is cleaned in a HF solution.

Three furnaces have been used, each reserved for particular processes:

- furnace 1: Post Metallization Anneal
- furnace 2: Clean thermal (gate) oxides
- furnace 3: Diffusion, anneals and wet oxidation

Furnace cleans : are performed at a temperature at least 50°C higher than the aimed process temperature (all flows are for three-inch tubes).

1 l O_2 /min, 1% C_{33}/O_2 $t=15$ hrs.
 1 l O_2 /min, $t=1$ hr.

A.1 first wafer clean

- NH_4OH clean
- H_2SO_4 clean
- BHF dip
- HCl clean

A.2 repeated oxidations

- Clean Furnace 3, $T=1150^{\circ}\text{C}$
- wet oxidation, $T=1100^{\circ}\text{C}$, 0.5 l O_2 /min, H_2O 16-18 $\text{M}\Omega\text{cm}$ $T_{\text{H}_2\text{O}}=98^{\circ}\text{C}$,
 $t=40$ min. $t_{\text{ox}}=5300 \text{ \AA}$, insertion-speed 40 cm/min. } 3 times
- BHF etch, (except last time)
- HCl clean (except last time)

Рис. 2.11: Технологические стадии изготовления Si-MOS структур-2

A.3 p⁺-areas

(This is not always necessary)

- Photolithography p⁺-areas
- BHF etch the p⁺-areas
- strip resist
- inline clean
- Implant the front and back sides with Boron, 10^{18} m^{-2} 40 keV.
- inline clean
- Clean Furnace 3, $T=1150^\circ\text{C}$
- Boron diffusion, $t=10 \text{ min}$. $T=1100^\circ\text{C}$, $0.75 \text{ l N}_2/\text{min}$, insertion-speed 40 cm/min
- BHF etch of the masking oxide, leaving approximately 800 Å
- HCl clean
- continue boron diffusion, $t=4 \text{ hrs}$
- Subsequent oxidation (no removal from the furnace) $T=1100^\circ\text{C}$,
 $0.5 \text{ l O}_2/\text{min}$, $t=2.5 \text{ hrs}$.
- $0.5 \text{ l O}_2/\text{min}$, $T_{\text{H}_2\text{O}}=98^\circ\text{C}$ $18\text{M}\Omega\text{cm}$, $t=20 \text{ min}$.
- $0.5 \text{ l O}_2/\text{min}$, $t=1 \text{ hr}$. 10 min.
- Subsequent post-oxidation anneal,
 $0.75 \text{ l N}_2/\text{min}$, $t=30 \text{ min}$,

A.4 n⁺-areas

- Photolithography n⁺-areas
- BHF etch the n⁺-areas
- strip resist
- inline clean
- Implant p⁺-areas with phosphorus, $5 \times 10^{19} \text{ m}^{-2}$, 40 keV
- Inline clean
- Phosphorus diffusion, $t=10 \text{ min}$., $T=1100^\circ\text{C}$, $0.75 \text{ l N}_2/\text{min}$,
ins-speed = 40 cm/min
- BHF etch the masking oxide
- HCl clean
- continue phosphorus diffusion, $t=50 \text{ min}$
- Subsequent oxidation (no removal from furnace) $T=1100^\circ\text{C}$,
 $0.5 \text{ l O}_2/\text{min}$, $t=2 \text{ hrs}$ 10 min.
- Subsequent post-oxidation anneal
 $0.75 \text{ l N}_2/\text{min}$, $t=30 \text{ min}$.

Рис. 2.12: Технологические стадии изготовления Si-MOS структур-3

Cool furnace to $T=1000^{\circ}\text{C}$, removal-speed 20 cm/min.

A.5 Gate oxidation

- Clean furnace 2, $T=1100^{\circ}\text{C}$
- Photolithography gate area
- BHF etch gate area
- strip resist
- inline clean
- gate oxidation, ins-speed 20 cm/min,
 $T=1000^{\circ}\text{C}$, 0.5 l O_2 /min, $t=2$ hrs. 25 min (for $t_{\text{ox}} \sim 1000 \text{ \AA}$)
 heat furnace to $T=1050^{\circ}\text{C}$
- Subsequent post-oxidation anneal
 $T=1050^{\circ}\text{C}$, 0.75 l N_2 /min, $t=30$ min
 Cool furnace to $T=650^{\circ}\text{C}$, $t=1$ hr. 20 min.
 Removal-speed 40 cm/min.

A.6 Contact holes

- Photolithography contact holes
- BHF etch contact holes
- strip resist
- inline clean

A.7 Metallization

- Photolithography metallization
- Al (e-gun evaporation)
 background pressure is 10^{-7} mbar
 pressure during deposition is 4 to 8×10^{-6} mbar
 10 keV, $I=0.4$ A, $t=1.5$ min for 300 nm
 etch in Al etch

A.8 Post Metallization Anneal.

- Furnace 1, $T=450^{\circ}\text{C}$
 1 l N_2 /min by H_2O (16 to 18 $\text{M}\Omega\text{cm}$, $T_{\text{H}_2\text{O}}=22^{\circ}\text{C}$), $t=30$ min.
 ins. and rem. speed is 40 cm/min

Рис. 2.13: Технологические стадии изготовления Si-MOS структур-4

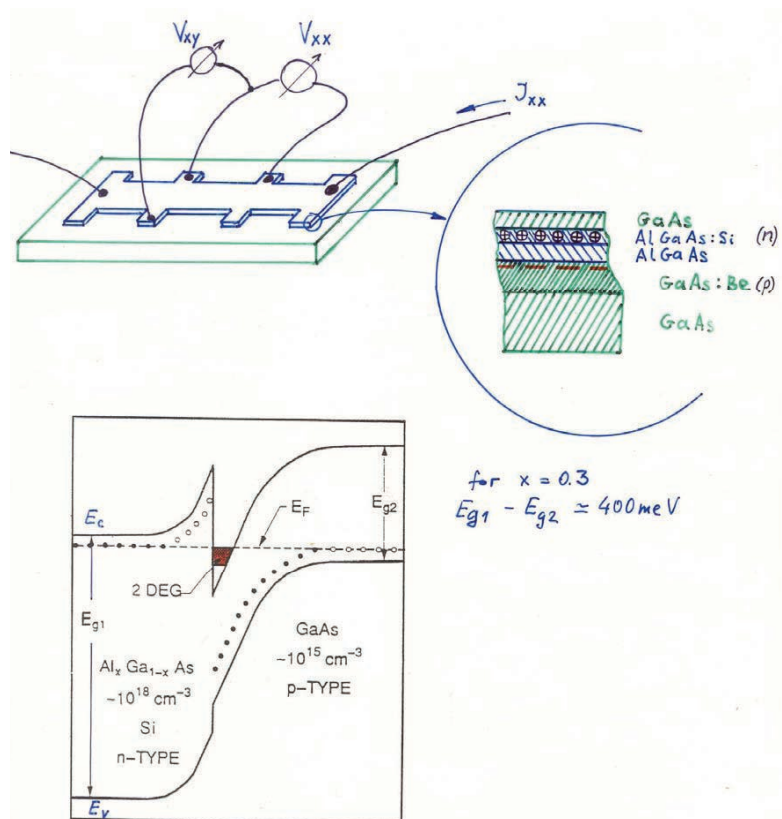


Рис. 2.14: Устройство одиночного гетероперехода GaAs/AlGaAs

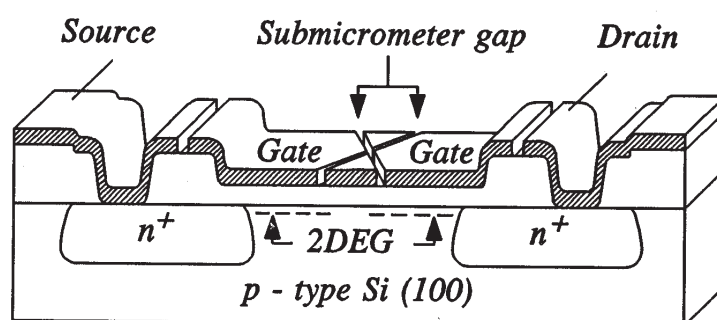


Рис. 2.15: Изготовление седловой точки путем перекрещения двух разрез

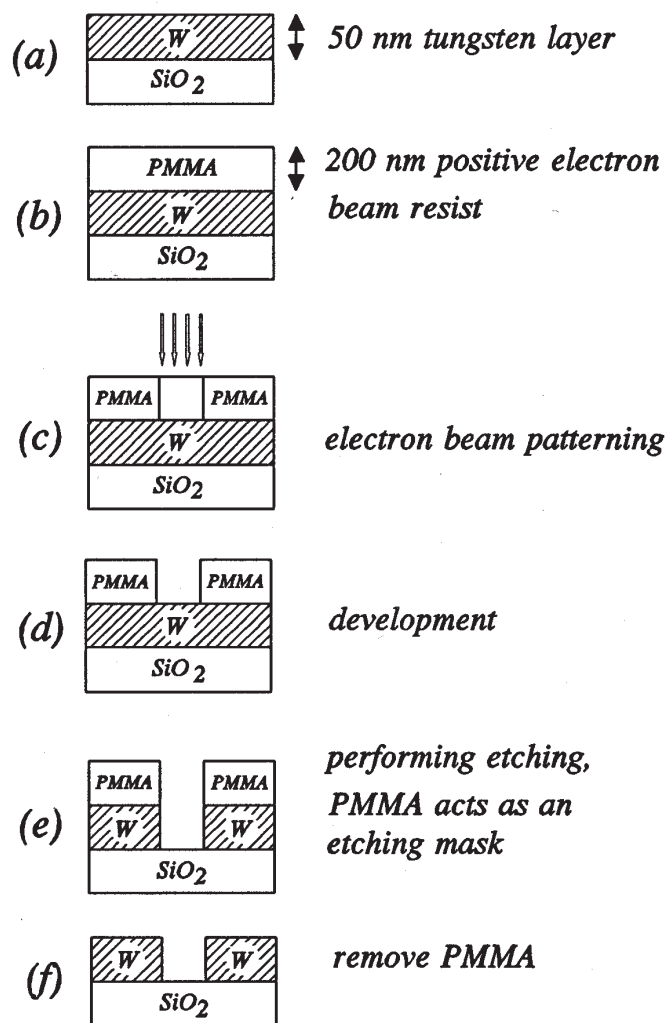


Рис. 2.16: Изготовление 1D и 0D структур

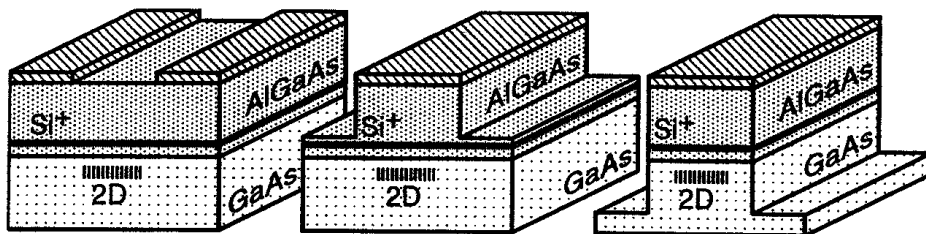


Рис. 2.17: Схематическое изображение QW изготовленных техникой (а) с расщепленным затвором, (б) неглубокого меза-травления, (с) глубокого меза-травления